

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-116113

(43)Date of publication of application : 02.05.1997

(51)Int.Cl.

H01L 27/108  
H01L 21/8242

(21)Application number : 08-082907

(71)Applicant : SONY CORP

(22)Date of filing : 04.04.1996

(72)Inventor : KURODA HIDEAKI

(30)Priority

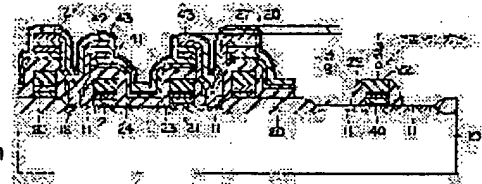
Priority number : 07208072 Priority date : 15.08.1995 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high-speed operation of circuits excluding a memory cell without failing the holding property of the memory cell by providing a covering conductive layer on the surface of a diffusion layer of a field effect transistor for circuit and providing no covering conductive layer to the diffusion layer thereof.

SOLUTION: An oxide film and a BPSG film between polysilicon films 42 and 41 of an lower electrode are subjected to wet-etching through HF by using a silicon nitride 24 as a stopper. Then it is subjected to RTA in an atmosphere of ammonium, and a silicon nitride film is formed by CVD. Further, the silicon nitride film is oxidized so as to form an ONO film 27 on the surface of a memory node, and an impurity doped polysilicon film 43 and a low-voltage CVD silicon nitride film for plate electrode are formed through CVD. Furthermore, it is subjected to resist patterning for plate electrode, and while the obtained resist is used as a mask, a silicon nitride film 28 and a polysilicon film 43 are etched.



## LEGAL STATUS

[Date of request for examination] 31.03.1998

[Date of sending the examiner's decision of rejection] 14.12.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision 2000-01876  
of rejection]

[Date of requesting appeal against examiner's 12.01.2000  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation. 1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

## [Claim(s)]

[Claim 1] The semiconductor device characterized by having a covering conductive layer in some or all on the front face of a diffusion layer of this electric field effect type transistor for circuits, and not having this covering conductive layer in the semiconductor device which comes to form in the same substrate the electric field effect type transistor for memory which constitutes a memory cell, and the electric field effect type transistor for circuits which constitutes circuits other than a memory cell in the diffusion layer of this electric field effect type transistor for memory.

[Claim 2] The semiconductor device according to claim 1 with which the above-mentioned covering conductive layer consists of a metal or a metal alloy.

[Claim 3] The semiconductor device according to claim 1 with which a memory cell consists of dynamic RAMs.

[Claim 4] The manufacture method of the semiconductor device which forms in the same substrate the electric field effect type transistor for circuits which is characterized by providing the following, and which constitutes circuits other than a memory cell and a memory cell. The process which forms a wrap insulating layer for the electric field effect type transistor for circuits. The process which forms a memory cell. The process at which some or all on the front face of a diffusion layer of the electric field effect type transistor for circuits is exposed after this memory cell formation. The process which forms a covering conductive layer in the diffusion layer front face of the exposed this electric field effect type transistor for circuits.

[Claim 5] The manufacture method of the semiconductor device according to claim 4 to which the diffusion layer front face of this transistor is exposed by carrying out etchback of the wrap insulating layer for the electric field effect type transistor for circuits.

[Claim 6] The manufacture method of the semiconductor device according to claim 5 which leaves the resist which carries out patterning of the memory cell as it is, and carries out etchback of the wrap insulating layer for the electric field effect type transistor for circuits.

[Claim 7] The manufacture method of the semiconductor device according to claim 5 which carries out etchback of the wrap insulating layer for the electric field effect type transistor for circuits by using as a mask the electrode which constitutes a memory cell.

[Claim 8] The manufacture method of the semiconductor device according to claim 5 which forms a sidewall in the gate electrode side attachment wall of the electric field effect type transistor for circuits by the above-mentioned etchback.

[Claim 9] The manufacture method of a semiconductor device according to claim 4 of having the process at which embedded \*\*\*\* which reaches the diffusion layer of this transistor in the electric field effect type transistor for circuits at a wrap insulating layer is formed in, and a part or all of this diffusion layer is exposed, and the process which buries this embedded \*\*\*\* by the conductor and forms a covering conductive layer.

[Claim 10] The semiconductor device according to claim 4 with which the above-mentioned covering conductive layer consists of a metal or a metal alloy.

[Claim 11] The manufacture method of a semiconductor device according to claim 4 that a memory cell consists of dynamic RAMs.

## [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor device consolidated with a memory cell and circumference circuits, such as DRAM, the logical circuit, etc., and

its manufacture method.

[0002]

[Description of the Prior Art] In order to process a picture signal in a personal computer or game machine vessels at high speed and to display on a display, the high-speed logic device which carried the mass dynamic RAM (DRAM) is called for. Since this has a limitation in bus width of face with 2 chip composition of a commodity-grade DRAM and logic when exchanging data by DRAM and logic, it is because a lot of data cannot be sent simultaneously but a limitation is in a process speed.

[0003] Moreover, in order to high-performance-ize the logic device from now on, the diffusion layer needs to be formed into low resistance using the Salicide technology (a silicide layer is formed in both on the poly silicon gate and a source drain layer). However, when the diffusion layer of the MOS transistor for switching which constitutes the DRAM section is Salicide-ized, there is a problem that the resistance elevation and junction leak of a diffusion layer which were Salicide-ized go up with heat treatment for the bit line formation after the Salicide formation or heat treatment at the time of capacitor formation.

[0004] In order to explain this trouble, the formation process of the conventional stack type DRAM of the Salicide structure is shown concretely. First, as shown in drawing 17 (a), after forming the isolation field (LOCOS) 220 in a substrate 111, it deposits, patterning of a polycide and the insulator layer is carried out, and the gate electrode 221 is formed. And the ion implantation for LDD is performed and the LDD diffusion layer 112 is formed. Subsequently, after depositing an oxide film, the insulating layer 222 which forms a sidewall and covers an electrode is formed by carrying out etchback. Then, after performing the ion implantation for source drains, a diffusion layer is exposed and the silicide layer 223 is formed in a diffusion layer by deposition of titanium, and heating.

[0005] Then, as shown in drawing 17 (b), the impurity dope polysilicon contest film 224 for lower electrodes is formed, and about 800 degrees C of about 10 mins of annealing are continuously performed in nitrogen gas. Subsequently, after carrying out patterning of the lower electrode, RTA (Rapid Thermal Anneal) is performed under ammonia atmosphere about 1 minute at 900 degrees C, and, next, a silicon nitride film is formed by CVD (about 700 degrees C), and it continues, and is a silicon nitride film 850 degrees C, 10 minutes, and H<sub>2</sub>+O<sub>2</sub> It oxidizes on conditions and a dielectric film (ONO film) 225 is formed, and the impurity dope polysilicon contest film 226 for up electrodes -- CVD -- forming -- about 800 degrees C -- annealing -- stack type DRAM which carried out patterning of this and was shown in drawing 17 (b) can be obtained the back the bottom

[0006] Thus, in order to add heat treatment of about (it totals in the above-mentioned example and is heat treatment for about 50 minutes at 850 degrees C) 800 degrees C at the time of capacitor formation if the capacitor of DRAM is made after Salicide-izing a diffusion layer, there is a problem that resistance of the diffusion layer Salicide-ized with much trouble increases, or junction leak goes up. Therefore, it is on a high-speed logic device about DRAM. on chip When changing, there is a problem that the data-hold property of DRAM deteriorates.

[0007] Therefore, although the process which forms the diffusion layer of the logic section into low resistance is needed in the logic device which carried DRAM, loading together DRAM which is not Salicide-ized in order to accelerate a logic device, suppressing junction leak increase of DRAM, there is a trouble also in this process.

[0008] The cross section of on-chip DRAM which carried the stack type commodity-grade DRAM and the logical circuit in drawing 18 is shown. This DRAM section is a COB (Capacitor Over Bitline) type, and a capacitor is so-called double cylinder type structure. After forming contest polysilicon which introduced the impurity after forming the isolation field 230 in the substrate 111 by the LOCOS method etc. and forming a gate oxide film in an active field front face, when the usual manufacturing process of this semiconductor device was explained briefly, tungsten silicide, and oxidization silicon by CVD one by one, patterning of this is carried out and the gate electrode 231 is formed. Then, the ion implantation of the n type impurity is carried out by using the gate electrode 231 and LOCOS230 as a mask, and LDD112 is formed. And after carrying out etchback of this after depositing oxidization silicon thickly, and forming a sidewall 232, the ion implantation for source drains is performed and the source drain 113 is formed. Then, after forming a silicon nitride film 233, flattening of the BPSG film 234 is deposited and carried out. After carrying out opening of the bit contact 235 and carrying out the laminating of the tungsten silicide

238 to contest 237 polysilicon which introduced the impurity, patterning is carried out and a bit line 240 is formed. Deposition and after carrying out flattening, a silicon nitride film 242 is formed for BPSG (Boro Phospho Silicate Glass) 241. After carrying out opening of the storage node contact 245 and forming the sidewall 246 of oxidization silicon in the wall, the node contact 245 is filled up with contest 247 polysilicon. A sidewall is formed in the wall of a slot, after depositing hundreds of nm BPSG, \*\*\*\*\*ing in the configuration of a storage node considering a silicon nitride film 242 as an etching stopper and forming a slot and depositing contest 250 impurity introduction polysilicon on a BPSG film continuously. Then, after forming the polysilicon contest film 251 and an oxidization silicon film one by one, etchback of the oxidization silicon film is carried out, a polysilicon contest film is exposed, and the polysilicon contest film 250 is \*\*\*\*\*ed continuously. Since a sidewall is exposed by this, the oxidization silicon film containing a sidewall is removed. Thereby, the storage node of double cylinder structure is formed. Next, after depositing contest polysilicon after forming an ONO film in a polysilicon contest front face, and depositing the oxidization silicon film 253 further, patterning can be carried out, a plate electrode can be completed, and on-chip DRAM of structure as shown in drawing 18 can be obtained.

[0009] At such a process, heat treatment for the bit line formation at the time of forming the DRAM section and heat treatment for capacitor formation (it is equivalent to 850 degrees C or more and annealing of 1 hours or more) start. For this reason, in order to form the DRAM section after forming Salicide if Salicide is formed in the logic transistor section, the problem that resistance elevation and junction leak of the Salicide diffusion layer go up occurs.

[0010] Therefore, the high-speed logic device of stack type commodity-grade DRAM cell loading which applied Salicide to the transistor of the logic section is considered [ that it is unrealizable and ]. However, the high-speed logic device which carried mass DRAM for picture signal processing is called for now.

[0011] this invention was made in view of the above-mentioned situation, and it aims at offering the semiconductor device which could accelerate circuits other than a memory cell, and its manufacture method in the semiconductor device which carried memory cells, such as DRAM, and circuits, such as logic, without degrading the data-hold property of a memory cell.

[0012]

[Means for Solving the Problem] In order that this invention may attain the above-mentioned purpose, it has a covering conductive layer in some or all on the front face of a diffusion layer of this electric field effect type transistor for circuits, and provides the diffusion layer of this electric field effect type transistor for memory with the semiconductor device characterized by not to have this covering conductive layer in the semiconductor device which comes to form in the same substrate the electric field effect type transistor for memory which constitutes a memory cell, and the electric field effect type transistor for circuits which constitutes circuits other than a memory cell.

[0013] Moreover, this invention is set to the manufacture method of the semiconductor device which forms in the same substrate the electric field effect type transistor for circuits which constitutes circuits other than a memory cell and a memory cell. The process which forms a wrap insulating layer for the electric field effect type transistor for circuits, and the process which forms a memory cell, The manufacture method of the semiconductor device characterized by having the process at which some or all on the front face of a diffusion layer of the electric field effect type transistor for circuits is exposed, and the process which forms a covering conductive layer in the diffusion layer front face of the this exposed electric field effect type transistor for circuits is offered after this memory cell formation.

[0014] The semiconductor device of this invention is a semiconductor device which comes to form in the same substrate the electric field effect type transistor for memory which constitutes a memory cell, and the electric field effect type transistor for circuits which constitutes circuits other than a memory cell, the covering conductive layer which consists of a metal or a metal alloy is formed in some or all on the front face of a diffusion layer of the electric field effect type transistor for circuits, and such a covering conductive layer is not formed in the diffusion layer of the electric field effect type transistor for memory.

[0015] Therefore, since the memory cell is formed in the diffusion layer which does not have conductive layers, such as silicide, junction leak does not increase. Moreover, since the conductive layer is prepared only in the diffusion layer of the transistor which constitutes circuits other than a memory cell, izing of the diffusion layer can be carried out [ low \*\*\*\* ], and a logical circuit etc. can be accelerated. Therefore, a

commodity-grade DRAM, a high-speed logical circuit, etc. can be loaded together, without reducing each other performance.

[0016] Moreover, after it covers the electric field effect type transistor for circuits by the insulating layer, the manufacture method of the semiconductor device of this invention forms a memory cell, exposes the diffusion layer front face of the electric field effect type transistor for circuits after memory cell formation, and forms a covering conductive layer in the diffusion layer front face of the exposed electric field effect type transistor for circuits.

[0017] Therefore, since a memory cell can be formed on the diffusion layer which has not prepared covering conductive layers, such as silicide-izing, the junction leak in DRAM etc. does not increase. Moreover, since a covering conductive layer is prepared in the diffusion layer of the transistor for circuits after already forming a memory cell, it does not produce un-arranging [ that resistance of the diffusion layer in covering conductive layers, such as silicide-izing, increases with heat treatment at the time of capacitor formation of a memory cell etc. ], either. For this reason, the semiconductor device manufactured by this invention method has a good data-hold property in the memory cell section, and improvement in the speed is attained in the circuit section.

[0018]

[Embodiments of the Invention] Hereafter, although the form of operation of this invention is explained concretely, this invention is not limited to the following operation form.

[1st operation form] drawing 1 - drawing 6 show an example of the manufacturing process of the semiconductor device of this invention which has DRAM which has a fin type storage node, and the circuit section by which silicide was formed in the diffusion layer of an MOS transistor.

[0019] First, as shown in drawing 1, the isolation field (LOCOS) 20 is formed in substrate 10 front face by the method of carrying out patterning of the silicon nitride film etc., and oxidizing it thermally etc. And after forming the gate oxide film 21, an oxide film is deposited in CVD etc. by the tungsten polycide film and the thickness of hundreds of nm, patterning of these is carried out, and the gate electrode 40 and the offset oxide film 22 are formed. Next, the impurity ion implantation for LDD is performed and the LDD diffusion field 11 is formed. Then, after forming the silicon nitride film 24 of dozens of nm \*\* by CVD by the oxidization silicon film 23 of hundreds of nm \*\*, and low voltage CVD, the hundreds of nm BPSG film 25 can be deposited in CVD, the flow of this BPSG can be carried out at 800-900 degrees C, and the structure of drawing 1 can be acquired.

[0020] With this operation form, it is in the state which covered the MOS transistor for circuits by the oxidization silicon film 23 which is an insulating layer, the silicon nitride film 24, and the BPSG film 25, and goes into the process which next creates the memory cell section. In addition, the sidewall of the transistor of the circuit section is formed later.

[0021] As shown in drawing 2, after forming the nm [ dozens of ] impurity dope polycrystal polysilicon contest film 41 and the dozens of nm silicon oxide film 26 by CVD etc., the resist pattern for storage node contact is formed, by making this into a mask, the silicon oxide film 26, the polycrystal polysilicon contest film 41, the BPSG film 25, the silicon nitride film 24, and the silicon oxide film 23 are \*\*\*\*\*ed one by one, and opening of the storage node contact 12 is carried out. In this case, in case the BPSG film 25 and the silicon oxide film 23 are \*\*\*\*\*ed, etching of a high selection ratio is performed to the silicon nitride film 24. Then, the impurity dope polycrystal silicon film 42 is formed by CVD etc., and this connects this polycrystal silicon film 42 to the polycrystal silicon film 41 and LDD11 electrically. Subsequently, resist patterning for storage nodes is performed and anisotropic etching of the polycrystal silicon film 42, the silicon oxide film 26, and the polycrystal silicon film 41 is carried out one by one by making this into a mask. Thereby, the lower electrode which constitutes a fin type stack type storage node is formed.

[0022] Next, as shown in drawing 3, wet etching is performed, using the silicon nitride film 24 as a stopper for the oxide film 26 and the BPSG film 25 which were inserted into the polycrystal silicon films 42 and 41 of a lower electrode in HF. Thereby, the fin portion (storage node) of the lower electrode of a capacitor is exposed. And RTA is performed under ammonia atmosphere about 1 minute at 900 degrees C, and next, a silicon nitride film is formed by CVD (about 700 degrees C), and it continues, and is a silicon nitride film 850 degrees C, 10 minutes, and H2+O2 After oxidizing on conditions and forming the ONO

film 27 in the front face of a storage node, the impurity dope polycrystal silicon film 43 for plate electrodes and a dozens of nm low voltage CVD silicon nitride film are formed by CVD. Then, resist patterning for plate electrodes is performed and etching of the silicon nitride film 28 and the polycrystal silicon film 43 is performed by using this resist as a mask. In this case, it can also leave the oxide film 26 inserted into the polycrystal silicon films 42 and 41 of a lower electrode as it is, and the BPSG film 25 can also be \*\*\*\*\*ed after up electrode formation.

[0023] Furthermore, in this operation form, it leaves the resist, and anisotropic etching is continuously performed for the silicon nitride film 24 and oxide film 23 of the circuit section. A sidewall 29 is formed in the side attachment wall of the gate electrode 40 of the MOS transistor for circuits, while the capacitor of DRAM is completed by this, as shown in drawing 3. Furthermore, the front face of the substrate 10 of the source drain field of the circumference circuit section is exposed. In addition, after removing a resist, the insulating layer of the circuit section is \*\*\*\*\*ed by using an up electrode as a mask, and you may make it expose a diffusion layer.

[0024] Then, as shown in drawing 4, after performing the ion implantation for source drains, heat treatment is performed, the source drain diffusion layer 13 is formed, subsequently sputtering of the refractory metals, such as Ti, is carried out, for example by the thickness of about dozens of nm, about 650-850-degree C lamp annealing is performed, and the silicide layer (covering conductive layer) 14 is formed. Unreacted Ti which remains on silicon oxide is H<sub>2</sub>O<sub>2</sub>. Dirty-off is carried out with the included liquid. Then, after depositing the dozens of nm silicon nitride film 30 in low voltage CVD and depositing the about hundreds of nm silicon oxide film 31 in CVD further, flattening of this is carried out by the CMP method (the chemical mechanical-polishing method) etc. After this operation form forms a capacitor, as this is for a remarkable level difference to arise, for example, is shown in drawing 3 from exposing the substrate side of the circumference circuit section, the level difference from the upper surface of the insulating layer of the transistor of about 1.03 micrometers and a circumference circuit to the upper surface of the capacitor on the transistor of the DRAM section is set to about about 0.58 micrometers from a substrate side up to the upper surface of a capacitor.

[0025] Subsequently, as shown in drawing 5, the bit contact 15 is formed by performing resist patterning for bit contact of the DRAM cell section, and carrying out anisotropic etching of an oxide film 31, the silicon nitride film 30, the silicon nitride film 28, the polycrystal silicon film 43 for up electrodes, a silicon nitride film 24, and the oxide film 23 one by one. this after depositing an about hundreds of nm silicon oxide film in CVD -- etchback -- carrying out -- bit contact -- a hole -- a sidewall 32 is formed in a side attachment wall, and this sidewall 32 separates with the plate electrode 43 then, the thing done for etchback after forming in the bit contact section the polycrystal silicon film 44 which doped Lynn by CVD etc. -- bit contact -- a hole is embedded

[0026] As shown in drawing 6, after performing patterning of contact in the circuit section, carrying out anisotropic etching of an oxide film 31 and the silicon nitride film 30, carrying out opening of the contact and depositing the barrier metal 45 on this finally, contact is embedded with the blanket tungsten 46 by deposition of a tungsten, and etchback. Then, the aluminum wiring 47, the layer insulation film 33, and the device that performed aluminum wiring 48 and carried DRAM are completed.

[0027] Since silicide can be certainly formed only in the diffusion layer of the circuit section according to the process of this example, without forming silicide in the diffusion layer of a memory cell, in the circuit section, improvement in the speed by the reduction in resistance of circuits, such as a logical circuit, can be realized, and the maintenance property of data is good in the DRAM section. Moreover, since a memory cell to be heat-treated is formed beforehand, silicide formation of the circuit section is performed and flattening is not performing the flow of BPSG accompanied by heat treatment etc. using CMP, there is no influence of heat treatment in the made silicide, and it is made for a resistance rise not to arise. Moreover, since the sidewall is formed in the gate electrode side attachment wall of a transistor in case etchback of the insulating layer of the circuit section is carried out and a diffusion layer is exposed, the process has been simplified.

It consists of double cylinder type storage nodes, and the [2nd operation form], next the DRAM memory cell section are COB(s) (Capacitor Over Bitline), and explain an example of the manufacture method of a semiconductor device which prepared the embedded metal layer which buried embedded \*\*\*\* formed in

the diffusion layer of the MOS transistor for logical circuits as a covering conductive layer at the insulator layer.

[0028] First, as shown in drawing 7 (a), the isolation field (LOCOS) 20 is formed in substrate 10 front face by the method of carrying out patterning of a pad oxide film, the silicon nitride film, etc., and oxidizing them thermally etc. And after forming the gate oxide film 21 by thermal oxidation, contest impurity dope polysilicon, a tungsten polycide film, and an oxidization silicon film are deposited on the thickness of hundreds of nm in CVD etc., patterning of these is carried out, and the gate electrode 40 and the offset oxide film 22 are formed. Next, the impurity ion implantation for LDD is performed for As or Lynn by using the gate electrode 40 and LOCOS20 as a mask by about 10 keVs of acceleration voltage numbers, and about  $1 \times 10^{12}$  to  $1 \times 10^{14}$  dose, and the LDD diffusion field 11 is formed.

[0029] then, it is shown in drawing 7 (b) -- as -- an oxidization silicon film -- dozens-100 -- a sidewall 29 is formed in the side attachment wall of the gate electrode 40 by about dozens of nm's forming membranes in CVD, and carrying out etchback of this And the ion implantation for source drains is performed and the source drain 13 is formed. Subsequently, a silicon nitride film 24 is formed by the thickness of about dozens of nm by low voltage CVD, the about hundreds of nm BPSG film 25 is further formed by CVD, and flattening of the BPSG is carried out by the flow or CMP.

[0030] Next, as shown in drawing 8 (a), by resist patterning and reactive ion etching, opening of the bit contact BC is carried out, contest 51 impurity dope polysilicon and dozens of nm tungsten silicide 52 are formed, a bit contact BC inside is worn, patterning is carried out after that, and a bit line 53 is formed.

[0031] Subsequently, as shown in drawing 8 (b), after forming BPSG70 by hundreds nmCVD(s), and carrying out the flow of this or carrying out flattening by CMP, a silicon nitride film 71 is formed by dozens nmCVD(s) by low voltage CVD. and the thing which opening of the storage node contact NC is carried out, and is done for etchback after depositing an oxidization silicon film -- storage node contact -- a hole -- depositing and carrying out etchback of contest polysilicon, after forming the sidewall film 72 for isolation voltage reservation in NC wall -- storage node contact -- a hole -- NC is fill uped with the polysilicon contest plug 54

[0032] And as shown in drawing 9, the about hundreds of nm insulating layer 73 is deposited in BPSG or NSG. subsequently, the resist which carried out patterning to the configuration of a storage node by the photolithography -- a mask -- carrying out -- reactive ion etching -- using -- each storage node contact -- the insulating layer 73 on a hole is \*\*\*\*\*ed considering a silicon nitride film 71 as an etching stopper, the slot NH for storage nodes is formed in an insulating layer 73, and the front face of the storage node polysilicon contest plug 54 is exposed

[0033] next, the impurity dope bottom polysilicon contest film 55 used as the lower electrode of a capacitor -- dozens-100 -- after depositing an about dozens of nm oxidization silicon film in CVD after depositing about dozens of nm in CVD, and filling the slot NH for storage nodes, a sidewall 74 is formed in a storage node slot NH wall by carrying out etchback furthermore, the impurity dope top polysilicon contest film 56 -- several 10nm- 100 -- after depositing about dozens of nm in CVD, the about hundreds of nm oxidization silicon film 75 is deposited in CVD

[0034] And etchback of the oxidization silicon film 75 is carried out, the top polysilicon contest film 56 is exposed, and reactive ion etching is continuously performed for the top polysilicon contest film 56 and the bottom polysilicon contest film 55 on high selection-ratio conditions to oxidization silicon. Thereby, as shown in drawing 10, the nose of cam of a sidewall 74 is exposed.

[0035] Then, as shown in drawing 11, dirty-off of the sidewall 74 which consists of an oxidization silicon film 75 which remains, an oxidization silicon film 73, and oxidization silicon is carried out with HF diluted solution etc. by using a silicon nitride film 71 as an etching stopper. Thereby, a double cylinder type storage node is completed. Then, lamp annealing of contest 55 impurity dope polysilicon and the 56 front faces is carried out in nitrogen-gas-atmosphere mind, a several nm silicon nitride film is deposited in CVD, and the dielectric film 76 which consists of ONO (oxidization silicon / silicon-nitride / oxidization silicon) films is formed by oxidizing a silicon nitride film further. next, the impurity dope polysilicon contest film 57 -- CVD -- several 10nm- 100 -- about dozens of nm is deposited, subsequently an oxidization silicon film or a silicon nitride film 77 is formed by hundreds nmCVD(s), patterning of the polysilicon contest film 57 and the insulator layer 77 is carried out by the photolithography, and a plate



electrode is formed Or after carrying out patterning of contest 57 impurity dope polysilicon and forming a plate electrode, you may form an oxidization silicon film or a silicon nitride film 77 by hundreds nmCVD(s). Thereby, as shown in drawing 11, the DRAM cell section is completed.

[0036] Next, it goes into the process which forms a covering conductive layer in the diffusion layer of the MOS transistor of the circuit section. As shown in drawing 12, embedded \*\*\*\* BH which \*\*\*\*\*s a wrap insulating layer (a silicon nitride film 71, the oxidization silicon film 70, the oxidization silicon film 25, silicon nitride film 24) one by one in the MOS transistor of the logical-circuit section, and reaches a diffusion layer is formed. And Ti film and the TiN film 58 as an adhesion layer are formed by the sputtering method or CVD, and, next, a tungsten film is formed by CVD. Then, etchback of the tungsten film is carried out to these adhesion layers by reactive ion etching, embedded \*\*\*\* BH is embedded with the tungsten plug 59, and the embedded metal layer (covering conductive layer) 60 is formed. Or you may grind by the CMP method instead of etchback. Then, the oxidization silicon film 78 used as a layer insulation film is formed by hundreds nmCVD(s), and flattening of this is carried out by the CMP method etc.

[0037] finally, it is shown in drawing 13 -- as -- the layer insulation film 78 -- contact -- after carrying out opening of the hole, depositing the TiN film 61 by the sputtering method and depositing a tungsten 62 in about dozens of nm and CVD, patterning of these is carried out and tungsten wiring is formed Then, after depositing the layer insulation film 79, opening of the beer hall is carried out, a beer hall is embedded with the TiN film 63 and the tungsten plug 64, patterning of the aluminum wiring which consists of a TiN film 65, AlCu, or an AlSiCu film 66 is carried out, and the layer insulation film 80 is formed again. Hereafter, this is repeated and a multilayer interconnection is formed.

[0038] Since the embedded metal layer 60 can be certainly formed only in the diffusion layer of the circuit section according to the process of this example, without forming an embedded metal layer in the diffusion layer of a memory cell, in the circuit section, improvement in the speed by the reduction in resistance of circuits, such as a logical circuit, can be realized, and the maintenance property of data is good in the DRAM section. Moreover, since the bit line is formed before performing covering conductive layer (embedded conductive layer) formation of the circuit section and forming a capacitor, since a memory cell to be heat-treated is formed beforehand, the influence of the heat at the time of bit line formation does not give an embedded conductive layer, and it is made for resistance elevation not to arise in the embedded conductive layer 60.

[0039] The plan of the DRAM section of such an on-chip DRAM is shown in drawing 14. Drawing 9 is equivalent to the cross section which met the A-A line of drawing 14. Four gate electrodes 40 of the DRAM section are wired in parallel, and the 1st transistor Tr1 and the 2nd transistor Tr2 are constituted from drawing 14 by the active region and the gate electrode 40. The bit line 53 lies at right angles to the gate electrode 40, and is connected with these transistors by the bit contact BC of the common diffusion field of the 1st transistor Tr1 and the 2nd transistor Tr2. The storage node MN currently formed on the bit line 53 is connected with the diffusion layer of a transistor by the node contact NH. memory cell size --  $1.20 \times 0.6 = 0.72 \text{ micrometer}^2$  it is. The number of cells is 5000.

[0040] Moreover, an example of the plan of the transistor of a logical-circuit field is shown in drawing 15. This drawing forms the embedded metal layer 60 in the diffusion layer of a transistor, and shows the state where the field of most diffusion layers was covered with the embedded metal layer. The transistor consists of a gate electrode and an active region. this embedded metal layer 60 -- contact -- tungsten wiring and aluminum wiring are connected through the hole Drawing 16 is the plan having shown the field which separates an active region, and the clearance of 0.50 micrometers, tungsten wiring, and an active region is set as 0.32 micrometers for the clearance between active regions.

[0041] Although embedded \*\*\*\* was all buried with the metal, silicide is formed by the method of making it react after depositing titanium etc. on the exposed diffusion layer etc., and you may make it bury by the tungsten plug after that with this operation gestalt. this invention is not limited to the above-mentioned operation gestalt. For example, although explained taking the case of DRAM, it can change variously in the range which can apply to all the semiconductor devices that have capacitors, such as not only this but FRAM, SRAM, etc., in addition does not deviate from the summary of this invention.

[0042]

[Effect of the Invention] The semiconductor device of this invention is a semiconductor device with which it is high speed and the data-hold property loaded together a good memory cell and a good circuit. Moreover, according to the manufacture method of the semiconductor device of this invention, the semiconductor device which could accelerate circuits other than a memory cell can be manufactured, without degrading the data-hold property of a memory cell.

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing an example of the manufacturing process in the 1st operation gestalt of the semiconductor device of this invention.

[Drawing 2] It is the cross section showing the process of a continuation of drawing 1.

[Drawing 3] It is the cross section showing the process of a continuation of drawing 2.

[Drawing 4] It is the cross section showing the process of a continuation of drawing 3.

[Drawing 5] It is the cross section showing the process of a continuation of drawing 4.

[Drawing 6] It is the cross section showing the process of a continuation of drawing 5.

[Drawing 7] (a) and (b) are the cross sections showing the manufacturing process of the 2nd operation gestalt.

[Drawing 8] (a) and (b) are the cross sections showing the process of a continuation of drawing 7.

[Drawing 9] It is the cross section showing the process of a continuation of drawing 8.

[Drawing 10] It is the cross section showing the process of a continuation of drawing 9.

[Drawing 11] It is the cross section showing the process of a continuation of drawing 10.

[Drawing 12] It is the cross section showing the process of a continuation of drawing 11.

[Drawing 13] It is the cross section showing the process of a continuation of drawing 12.

[Drawing 14] It is the plan of the DRAM section in the 2nd operation gestalt.

[Drawing 15] It is the plan of the transistor in a logical-circuit field.

[Drawing 16] It is the plan showing the field which separates the active region in a logical-circuit field.

[Drawing 17] (a) and (b) are the cross sections showing the manufacturing process of a capacitor which used conventional silicide.

[Drawing 18] It is the cross section showing the structure of the logic device which carried the conventional DRAM.

[Description of Notations]

A substrate, 11:LDD, 13:source drain, 14 : 10: Silicide (covering conductive layer), 20: LOCOS, 21:gates oxide film, 23:oxide film, 24 : A silicon nitride film, 27: 41 An ONO film, 28:silicon nitride film, 40:gates electrode, 42 : The lower electrode of a capacitor, 43: -- the up electrode (plate electrode) of a capacitor, 53:bit line, and 54: -- polysilicon contest plug, 58:adhesion layer, 59:tungsten plug, and 60:embedded metal layer (covering conductive layer) NC:node contact -- a hole, the slot for NH:nodes, and BH:embedded \*\*\*\*\*

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-116113

(43)公開日 平成9年(1997)5月2日

(51)Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 F

21/8242

6 2 1 C

審査請求 未請求 請求項の数11 O L (全 12 頁)

(21)出願番号 特願平8-82907

(22)出願日 平成8年(1996)4月4日

(31)優先権主張番号 特願平7-208072

(32)優先日 平7(1995)8月15日

(33)優先権主張国 日本 (J P)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 黒田 英明

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

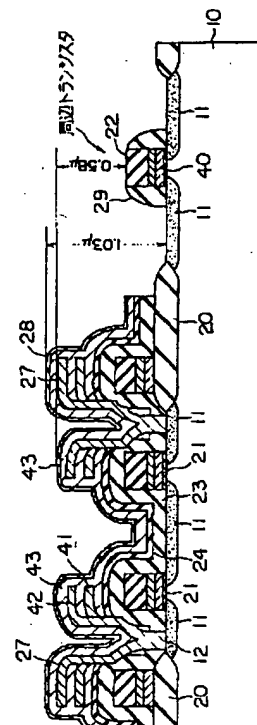
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 DRAMなどのメモリセルとロジックなどの回路とを搭載した半導体装置において、メモリセルのデータ保持特性を劣化させることなくメモリセル以外の回路を高速化し得た半導体装置及びその製造方法を提供する。

【解決手段】 絶縁層で回路用電界効果型トランジスタを覆った後、メモリセルを形成し、メモリセル形成後、回路用電界効果型トランジスタの拡散層表面を露出させ、そして露出した回路用電界効果型トランジスタの拡散層表面に被覆導電層を形成する。



(2)

## 【特許請求の範囲】

【請求項1】メモリセルを構成するメモリ用電界効果型トランジスタとメモリセル以外の回路を構成する回路用電界効果型トランジスタとを同一基板に形成してなる半導体装置において、

該回路用電界効果型トランジスタの拡散層表面の一部又は全部に被覆導電層を有し、該メモリ用電界効果型トランジスタの拡散層には該被覆導電層を有しないことを特徴とする半導体装置。

【請求項2】上記被覆導電層が金属又は金属合金で構成される請求項1記載の半導体装置。

【請求項3】メモリセルがダイナミックランダムアクセスメモリで構成される請求項1記載の半導体装置。

【請求項4】メモリセルとメモリセル以外の回路を構成する回路用電界効果型トランジスタとを同一基板に形成する半導体装置の製造方法において、

回路用電界効果型トランジスタを覆う絶縁層を形成する工程と、

メモリセルを形成する工程と、

該メモリセル形成後、回路用電界効果型トランジスタの拡散層表面の一部又は全部を露出させる工程と、

該露出した回路用電界効果型トランジスタの拡散層表面に被覆導電層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】回路用電界効果型トランジスタを覆う絶縁層をエッチバックすることにより、該トランジスタの拡散層表面を露出させる請求項4記載の半導体装置の製造方法。

【請求項6】メモリセルをパターニングするレジストをそのまま残して回路用電界効果型トランジスタを覆う絶縁層をエッチバックする請求項5記載の半導体装置の製造方法。

【請求項7】メモリセルを構成する電極をマスクとして回路用電界効果型トランジスタを覆う絶縁層をエッチバックする請求項5記載の半導体装置の製造方法。

【請求項8】上記エッチバックにより回路用電界効果型トランジスタのゲート電極側壁にサイドウォールを形成する請求項5記載の半導体装置の製造方法。

【請求項9】回路用電界効果型トランジスタを覆う絶縁層に該トランジスタの拡散層に達する埋込用溝を形成して該拡散層の一部又は全部を露出させる工程と、該埋込用溝を導電体で埋めて被覆導電層を形成する工程とを有する請求項4記載の半導体装置の製造方法。

【請求項10】上記被覆導電層が金属又は金属合金で構成される請求項4記載の半導体装置。

【請求項11】メモリセルがダイナミックランダムアクセスメモリで構成される請求項4記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばDRAMなどのメモリセルと周辺回路やロジック回路等とを混載した半導体装置及びその製造方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】パーソナルコンピュータやゲーム機器用に画像信号を高速で処理し、ディスプレイに表示するために、大容量のダイナミックランダムアクセスメモリ（DRAM）を搭載した高速ロジックデバイスが求められている。これは、汎用DRAMとロジックの2チップ構成では、DRAMとロジックでデータのやりとりを行う場合、バス幅に限界があるため、同時に大量のデータを送ることができず、処理スピードに限界があるためである。

【0003】また、今後ロジックデバイスを高性能化していくためには、サリサイド技術（ポリシリコンゲートとソース・ドレイン層上の両方にシリサイド層を形成する）を用いて、拡散層を低抵抗化する必要が生じてきている。しかしながら、DRAM部を構成するスイッチング用のMOSトランジスタの拡散層をサリサイド化した場合、サリサイド形成後のビット線形成のための熱処理やキャパシタ形成時の熱処理で、サリサイド化した拡散層の抵抗上昇や接合リークが上昇するという問題がある。

【0004】この問題点を説明するため、サリサイド構造の従来のスタック型DRAMの形成工程を具体的に示す。まず、図17（a）に示すように、基板111に素子分離領域（LOCOS）220を形成した後、ポリサイド及び絶縁膜を堆積、パターニングしてゲート電極221を形成する。そして、LDD用のイオン注入を行い、LDD拡散層112を形成する。次いで、酸化膜を堆積した後エッチバックすることによりサイドウォールを形成して電極を被覆する絶縁層222を形成する。その後、ソース・ドレイン用のイオン注入を行った後、拡散層を露出させてチタンの堆積、加熱により拡散層にシリサイド層223を形成する。

【0005】その後、図17（b）に示すように、下部電極用の不純物ドーパントポリシリコン膜224を形成し、続いてアニールを約800℃、10min程度窒素ガス中で行う。次いで、下部電極をパターニングした後、RTA（Rapid Thermal Anneal）を900℃で1分程度アンモニア雰囲気で行い、次に窒化ケイ素膜をCVD（約700℃）で形成し、続いて窒化ケイ素膜を例えば850℃、10分、H<sub>2</sub>+O<sub>2</sub>の条件で酸化して誘電体膜（ONO膜）225を形成する。そして上部電極用の不純物ドーパントポリシリコン膜226をCVDで形成し、800℃程度でアニールした後、これをパターニングして図17（b）に示したスタック型のDRAMを得ることができる。

【0006】このように、拡散層をサリサイド化した後、DRAMのキャパシタを作ると、キャパシタ形成時

3

に800℃程度(上記例では合計して850℃で50分程度の熱処理)の熱処理が加わるために、せっかくサリサイド化した拡散層の抵抗が増大したり、接合リークが上昇するという問題がある。そのため、DRAMを高速のロジックデバイス上に on chip 化する場合、DRAMのデータ保持特性が劣化するという問題がある。

【0007】そのため、DRAMを搭載したロジックデバイスでは、DRAMの接合リーク増大を抑制しながらロジックデバイスを高速化するため、サリサイド化しないDRAMを混載しつつロジック部の拡散層を低抵抗化するプロセスが必要になるが、このプロセスにおいても問題点がある。

【0008】図18に、スタック型汎用DRAMとロジック回路とを搭載したオンチップDRAMの断面図を示す。このDRAM部は、COB (Capacitor Over Bitline) 型で、キャパシタはいわゆるダブルシリンドラ型の構造である。この半導体装置の通常の製造工程を簡単に説明すると、基板111にLOCOS法などで素子分離領域230を形成し、アクティブ領域表面にゲート酸化膜を形成した後、不純物を導入したポリシリコン、タングステンシリサイド及び酸化珪素を順次CVDで成膜した後、これをパターニングしてゲート電極231を形成する。その後、ゲート電極231とLOCOS230をマスクとしてn型不純物をイオン注入してLDD112を形成する。そして、酸化珪素を厚く堆積した後、これをエッチバックしてサイドウォール232を形成した後、ソース・ドレイン用のイオン注入を行い、ソース・ドレイン113を形成する。その後、窒化珪素膜233を成膜した後、BPSG膜234を堆積し、平坦化する。ビットコンタクト235を開口し、不純物を導入したポリシリコン237とタングステンシリサイド238を積層した後パターニングしてビット線240を形成する。BPSG (Boro Phospho Silicate Glass) 241を堆積、平坦化した後、窒化珪素膜242を形成する。記憶ノードコンタクト245を開口し、その内壁に酸化珪素のサイドウォール246を形成した後、ノードコンタクト245をポリシリコン247で埋める。BPSGを数百nm堆積した後、記憶ノードの形状に窒化珪素膜242をエッチングストッパーとしてエッチングし、BPSG膜に溝を形成し、続いて不純物導入ポリシリコン250を堆積した後、溝の内壁にサイドウォールを形成する。その後、ポリシリコン膜251と酸化珪素膜を順次形成した後、酸化珪素膜をエッチバックしてポリシリコン膜を露出させ、続いてポリシリコン膜250をエッチングする。これによりサイドウォールが露出するので、サイドウォールを含む酸化珪素膜を除去する。これによりダブルシリンドラ構造の記憶ノードが形成される。次に、ポリシリコン表面にONO膜を形成した後、ポリシリコンを堆積し、更に酸化珪素膜253を堆積した後パターニングしてプレート電極を完成し、図18に

4

示すような構造のオンチップDRAMを得ることができる。

【0009】このような工程では、DRAM部を形成する際のビット線形成のための熱処理やキャパシタ形成のための熱処理(850℃以上、1時間以上のアニールに相当する)がかかる。このため、もしロジックトランジスタ部にサリサイドを形成すると、サリサイドを形成した後、DRAM部を形成するために、サリサイド拡散層の抵抗上昇や接合リークが上昇するといった問題が発生する。

【0010】従って、サリサイドをロジック部のトランジスタに適用したスタック型汎用DRAMセル搭載の高速ロジックデバイスは、実現不可能であると考えられている。しかしながら、現在、画像信号処理用の大容量のDRAMを搭載した高速ロジックデバイスが求められている。

【0011】本発明は、上記事情に鑑みなされたもので、DRAMなどのメモリセルとロジックなどの回路とを搭載した半導体装置において、メモリセルのデータ保持特性を劣化させることなくメモリセル以外の回路を高速化し得た半導体装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、上記目的を達成するため、メモリセルを構成するメモリ用電界効果型トランジスタとメモリセル以外の回路を構成する回路用電界効果型トランジスタとを同一基板に形成してなる半導体装置において、該回路用電界効果型トランジスタの拡散層表面の一部又は全部に被覆導電層を有し、該メモリ用電界効果型トランジスタの拡散層には該被覆導電層を有しないことを特徴とする半導体装置を提供する。

【0013】また、本発明は、メモリセルとメモリセル以外の回路を構成する回路用電界効果型トランジスタとを同一基板に形成する半導体装置の製造方法において、回路用電界効果型トランジスタを覆う絶縁層を形成する工程と、メモリセルを形成する工程と、該メモリセル形成後、回路用電界効果型トランジスタの拡散層表面の一部又は全部を露出させる工程と、該露出した回路用電界効果型トランジスタの拡散層表面に被覆導電層を形成する工程とを有することを特徴とする半導体装置の製造方法を提供する。

【0014】本発明の半導体装置は、メモリセルを構成するメモリ用電界効果型トランジスタとメモリセル以外の回路を構成する回路用電界効果型トランジスタとを同一基板に形成してなる半導体装置であり、回路用電界効果型トランジスタの拡散層表面の一部又は全部に、例えば金属又は金属合金で構成される被覆導電層が形成されており、メモリ用電界効果型トランジスタの拡散層にはこのような被覆導電層が形成されていない。

【0015】従って、メモリセルがシリサイド等の導電

5

層を有さない拡散層に形成されているので、接合リークが増大することはない。また、メモリセル以外の回路を構成するトランジスタの拡散層のみに導電層を設けているので、拡散層を低抵抗化でき、ロジック回路などを高速化できる。そのため、汎用DRAMと高速ロジック回路等とお互いの性能を低下させることなく混載できる。

【0016】また、本発明の半導体装置の製造方法は、絶縁層で回路用電界効果型トランジスタを覆った後、メモリセルを形成し、メモリセル形成後、回路用電界効果型トランジスタの拡散層表面を露出させ、そして露出した回路用電界効果型トランジスタの拡散層表面に被覆導電層を形成する。

【0017】従って、メモリセルをシリサイド化等の被覆導電層を設けていない拡散層上に形成できるので、DRAM等における接合リークが増大することはない。また、既にメモリセルを形成した後、回路用トランジスタの拡散層に被覆導電層を設けるので、メモリセルのキャパシタ形成時等の熱処理でシリサイド化等の被覆導電層における拡散層の抵抗が増加するという不都合も生じない。このため、本発明方法により製造された半導体装置は、メモリセル部においてはデータ保持特性が良好であり、回路部においては高速化が達成されている。

【0018】

【発明の実施の形態】以下、本発明の実施の形態について具体的に説明するが、本発明は、下記の実施形態に限定されるものではない。

【第1実施形態】図1～図6は、フィン型記憶ノードを有するDRAMと、MOSTランジスタの拡散層にシリサイドが形成された回路部とを有する本発明の半導体装置の製造工程の一例を示すものである。

【0019】まず、図1に示すように、基板10表面に窒化シリコン膜などをパターンニングして熱酸化する方法などにより素子分離領域（LOCOS）20を形成する。そして、ゲート酸化膜21を形成した後、タングステンポリサイド膜と数百nmの厚さで酸化膜をCVD等で堆積し、これらをパターンニングしてゲート電極40とオフセット酸化膜22を形成する。次に、LDD用の不純物イオン注入を行い、LDD拡散領域11を形成する。その後、CVD法で数百nm厚の酸化珪素膜23、  
40 低圧CVD法により数十nm厚の窒化ケイ素膜24を形成した後、BPSG膜25をCVD法で数百nm堆積し、このBPSGを800～900℃でフローして図1の構造を得ることができる。

【0020】本実施形態では、回路用MOSTランジスタを絶縁層である酸化珪素膜23、窒化ケイ素膜24、及びBPSG膜25で覆った状態で、次にメモリセル部を作成する工程に入る。なお、回路部のトランジスタのサイドウォールは後で形成する。

【0021】図2に示すように、数十nmの不純物ドー

6

(4)

ブ多結晶ポリシリコン膜41及び数十nmの酸化ケイ素膜26をCVD等で形成した後、記憶ノードコンタクト用のレジストパターンを形成し、これをマスクとして、酸化ケイ素膜26、多結晶ポリシリコン膜41、BPSG膜25、窒化ケイ素膜24及び酸化ケイ素膜23を順次エッチングし、記憶ノードコンタクト12を開口させる。この場合、BPSG膜25と酸化ケイ素膜23とをエッチングする際には、窒化ケイ素膜24に対して高選択比のエッチングを行う。その後、不純物ドーブ多結晶シリコン膜42をCVD等で形成し、これによりこの多結晶シリコン膜42を多結晶シリコン膜41とLDD11とに電気的に接続する。次いで、記憶ノード用のレジストパターンニングを行い、これをマスクとして多結晶シリコン膜42、酸化ケイ素膜26、多結晶シリコン膜41を順次異方性エッチングする。これにより、フィン型のスタック型記憶ノードを構成する下部電極が形成される。

【0022】次に、図3に示すように、HFにて下部電極の多結晶シリコン膜42、41に挟まれた酸化膜26とBPSG膜25を窒化ケイ素膜24をストッパーとしてウエットエッチングを行う。これにより、キャパシタの下部電極のフィン部分（記憶ノード）が露出する。そして、RTAを900℃で1分程度アンモニア雰囲気で行い、次に窒化ケイ素膜をCVD（約700℃）で形成し、続いて窒化ケイ素膜を例えば850℃、10分、  
20 H<sub>2</sub> + O<sub>2</sub> の条件で酸化して、記憶ノードの表面にON膜27を形成した後、プレート電極用の不純物ドーブ多結晶シリコン膜43と数十nmの低圧CVD窒化ケイ素膜をCVDで形成する。続いて、プレート電極用のレジストパターンニングを行い、このレジストをマスクとして窒化ケイ素膜28と多結晶シリコン膜43のエッチングを行う。この場合、下部電極の多結晶シリコン膜42、41に挟まれた酸化膜26はそのまま残すこともでき、また、BPSG膜25は、上部電極形成後にエッチングすることも可能である。

【0023】更に、本実施形態においては、そのレジストを残し、続いて回路部の窒化ケイ素膜24と酸化膜23とを異方性エッチングを行う。これにより、図3に示すように、DRAMのキャパシタが完成すると共に、回路用MOSTランジスタのゲート電極40の側壁には、  
40 サイドウォール29が形成される。更に、周辺回路部のソース・ドレイン領域の基板10の表面が露出する。なお、レジストを除去した後、上部電極をマスクとして回路部の絶縁層をエッチングして拡散層を露出させるようにしても良い。

【0024】その後、図4に示すように、ソース・ドレイン用のイオン注入を行った後、熱処理を施し、ソース・ドレイン拡散層13を形成し、次いで例えばTi等の高融点金属を数十nm程度の厚さでスパッタリングし、  
50 650～850℃程度のランプアニールを行って、シリ

7

サイド層（被覆導電層）14を形成する。酸化ケイ素上に残存する未反応のTiは、 $H_2O_2$ を含む液でエッチオフする。この後、窒化ケイ素膜30を低圧CVD法で数十nm堆積し、更に酸化ケイ素膜31をCVDで数百nm程度堆積した後、これをCMP法（化学的機械研磨方法）などで平坦化する。これは、本実施形態が、キャパシタを形成した後、周辺回路部の基板面を露出させることから、かなりの段差が生じるため、例えば、図3に示すように、基板面からキャパシタの上面までは1.03 $\mu m$ 程度、周辺回路のトランジスタの絶縁層の上面からDRAM部のトランジスタの上のキャパシタの上面までの段差は約0.58 $\mu m$ 程度となる。

【0025】次いで、図5に示すように、DRAMセル部のビットコンタクト用のレジストパターンニングを行い、酸化膜31、窒化ケイ素膜30、窒化ケイ素膜28、上部電極用多結晶シリコン膜43、窒化シリコン膜24、酸化膜23を順次異方性エッチングすることにより、ビットコンタクト15を形成する。酸化ケイ素膜を数百nm程度CVDで堆積した後、これをエッチバックしてビットコンタクト孔側壁にサイドウォール32を形成し、このサイドウォール32によりプレート電極43と分離する。この後、ビットコンタクト部にはリンをドーパした多結晶シリコン膜44をCVD等で形成した後、エッチバックすることにより、ビットコンタクト孔を埋め込む。

【0026】最後に、図6に示すように、回路部にコンタクトのパターンニングを行い、酸化膜31と窒化ケイ素膜30とを異方性エッチングしてコンタクトを開口し、これにバリアメタル45を堆積した後、タングステンの堆積、エッチバックによりコンタクトをブランケットタングステン46で埋め込む。その後、1A1配線47、層間絶縁膜33、2A1配線48を行ってDRAMを搭載したデバイスが完成する。

【0027】本例の工程によれば、メモリセルの拡散層にはシリサイドを形成せずに、回路部の拡散層のみに確実にシリサイドを形成することができるので、回路部においてはロジック回路などの回路の低抵抗化による高速化が実現でき、DRAM部においてはデータの保持特性が良好である。また、予め熱処理が必要なメモリセルの形成を行ってから回路部のシリサイド形成を行っており、また、平坦化はCMPを用い、熱処理を伴うBPSGのフローなども行っていないので、作ったシリサイドに熱処理の影響がなく、抵抗上昇が生じることがないようにしている。また、回路部の絶縁層をエッチバックして拡散層を露出させる際に、トランジスタのゲート電極側壁にサイドウォールを形成しているため、工程を簡略化している。

【第2実施形態】次に、DRAMメモリセル部が、ダブルシリンドラ型（Capacitor Over Bitline）であり、ロジック回路用MOSト

(5)

8

ランジスタの拡散層に、被覆導電層として絶縁膜に形成した埋込用溝を埋めた埋込金属層を設けた半導体装置の製造方法の一例を説明する。

【0028】まず、図7(a)に示すように、基板10表面にパッド酸化膜、窒化シリコン膜などをパターンニングして熱酸化する方法などにより素子分離領域（LOCOS）20を形成する。そして、ゲート酸化膜21を熱酸化で形成した後、不純物ドーパントシリコンとタングステンポリサイド膜と酸化珪素膜を数百nmの厚さにCVD等で堆積し、これらをパターンニングしてゲート電極40とオフセット酸化膜22を形成する。次に、ゲート電極40とLOCOS20をマスクとしてAs又はリンを加速電圧数十keV程度、ドーズ量 $1 \times 10^{12} \sim 1 \times 10^{14}$ 程度でLDD用の不純物イオン注入を行い、LDD拡散領域11を形成する。

【0029】その後、図7(b)に示すように、酸化珪素膜を数十～数百nm程度CVDにて成膜し、これをエッチバックすることにより、ゲート電極40の側壁にサイドウォール29を形成する。そして、ソース・ドレイン用のイオン注入を行い、ソース・ドレイン13を形成する。次いで、低圧CVD法で窒化珪素膜24を数十nm程度の厚さで成膜し、更にBPSG膜25を数百nm程度CVDで形成し、BPSGをフロー又はCMPで平坦化する。

【0030】次に、図8(a)に示すように、レジストパターンニングと反応性イオンエッチングにより、ビットコンタクトBCを開口し、不純物ドーパントシリコン51とタングステンシリサイド52を数十nm成膜してビットコンタクトBC内面を覆い、その後パターンニングしてビット線53を形成する。

【0031】次いで、図8(b)に示すように、BPSG70を数百nmCVDで成膜し、これをフローするかあるいはCMPで平坦化した後、低圧CVD法で窒化珪素膜71を数十nmCVDで成膜する。そして記憶ノードコンタクトNCを開口し、酸化珪素膜を堆積後にエッチバックすることにより、記憶ノードコンタクト孔NC内壁に絶縁耐圧確保用のサイドウォール膜72を形成した後、ポリシリコンを堆積してエッチバックすることにより、記憶ノードコンタクト孔NCをポリシリコンプラグ54で埋める。

【0032】そして、図9に示すように、BPSG又はNSGで絶縁層73を数百nm程度堆積する。次いで、フォトリソグラフィにより、記憶ノードの形状にパターンニングしたレジストをマスクとして反応性イオンエッチングを用いて各記憶ノードコンタクト孔の上の絶縁層73を、窒化珪素膜71をエッチングストッパーとしてエッチングし、絶縁層73に記憶ノード用溝NHを形成して記憶ノードポリシリコンプラグ54の表面を露出させる。

【0033】次に、キャパシタの下部電極となる不純物

9

ドーブ下側ポリシリコン膜55を数十～百数十nm程度CVDで堆積した後、酸化珪素膜を数十nm程度CVDで堆積して記憶ノード用溝NHを埋めた後、エッチバックすることにより、記憶ノード溝NH内壁にサイドウォール74を形成する。更に、不純物ドーブ上側ポリシリコン膜56を数十nm～百数十nm程度CVDで堆積した後、酸化珪素膜75を数百nm程度CVDで堆積する。

【0034】そして、酸化珪素膜75をエッチバックして上側ポリシリコン膜56を露出させ、続いて上側ポリシリコン膜56と下側ポリシリコン膜55とを酸化珪素に対して高選択比条件で反応性イオンエッチングを行う。これにより、図10に示すように、サイドウォール74の先端が露出する。

【0035】その後、図11に示すように、残存する酸化珪素膜75、酸化珪素膜73、及び酸化珪素で構成されるサイドウォール74を窒化珪素膜71をエッチングストッパーとしてHF希釈液などでエッチオフする。これにより、ダブルシリンダー型の記憶ノードが完成する。続いて不純物ドーブポリシリコン55、56表面を窒素ガス雰囲気中でランプアニールし、窒化珪素膜をCVDで数nm堆積し、更に窒化珪素膜を酸化することにより、ONO（酸化珪素／窒化珪素／酸化珪素）膜で構成される誘電体膜76を形成する。次に不純物ドーブポリシリコン膜57をCVDにより数十nm～百数十nm程度堆積し、次いで酸化珪素膜又は窒化珪素膜77を数百nmCVDで形成し、フォトリソグラフィによりポリシリコン膜57と絶縁膜77とをパターンニングしてプレート電極を形成する。あるいは、不純物ドーブポリシリコン57をパターンニングしてプレート電極を形成した後、酸化珪素膜又は窒化珪素膜77を数百nmCVDにより形成しても良い。これにより、図11に示すように、DRAMセル部が完成する。

【0036】次に、回路部のMOSトランジスタの拡散層に被覆導電層を形成する工程に入る。図12に示すように、ロジック回路部のMOSトランジスタを覆う絶縁層（窒化珪素膜71、酸化珪素膜70、酸化珪素膜25、窒化珪素膜24）を順次エッチングして拡散層に達する埋込用溝BHを形成する。そして、スパッタリング法又はCVD法により密着層としてのTi膜及びTiN膜58を形成し、次にタングステン膜をCVD法により形成する。その後、これらの密着層とタングステン膜を反応性イオンエッチングによりエッチバックして埋込用溝BHをタングステンプラグ59で埋め込み、埋込金属層（被覆導電層）60を形成する。あるいはエッチバックの代わりにCMP法で研磨しても良い。その後、層間絶縁膜となる酸化珪素膜78を数百nmCVDにより形成し、これをCMP法などで平坦化する。

【0037】最後に、図13に示すように、層間絶縁膜78にコンタクト孔を開口し、スパッタリング法にてT

(6)

10

iN膜61を数十nm程度、CVD法にてタングステン62を堆積した後、これらをパターンニングしてタングステン配線を形成する。この後、層間絶縁膜79を堆積した後、ビアホールを開口し、TiN膜63とタングステンプラグ64でビアホールを埋込み、TiN膜65とAlCu又はAlSiCu膜66で構成されるアルミニウム配線をパターンニングし、再び層間絶縁膜80を形成する。以下、これを繰り返して多層配線を形成する。

【0038】本例の工程によれば、メモリセルの拡散層には埋込金属層を形成せずに、回路部の拡散層のみに確実に埋込金属層60を形成することができるので、回路部においてはロジック回路などの回路の低抵抗化による高速化が実現でき、DRAM部においてはデータの保持特性が良好である。また、予め熱処理が必要なメモリセルの形成を行ってから回路部の被覆導電層（埋込導電層）形成を行っており、また、キャパシタを形成する前にビット線を形成しているため、ビット線形成時の熱の影響が埋込導電層に与えることがなく、埋込導電層60に抵抗上昇が生じることがないようにしている。

【0039】このようなオンチップDRAMのDRAM部の平面図を図14に示す。図9は、図14のA-A線に沿った断面図に相当する。図14では、DRAM部の4つのゲート電極40が並列に配線され、活性領域とゲート電極40とで第1トランジスタTr1と第2トランジスタTr2が構成されている。ビット線53はゲート電極40と直交しており、第1トランジスタTr1と第2トランジスタTr2の共通拡散領域のビットコンタクトBCでこれらのトランジスタと接続されている。ビットライン53の上に形成されている記憶ノードMNは、ノードコンタクトNHでトランジスタの拡散層と接続されている。メモリセルサイズは、 $1.20 \times 0.6 = 0.72 \mu\text{m}^2$ である。セル数は例えば5000である。

【0040】また、図15に、ロジック回路領域のトランジスタの平面図の一例を示す。この図は、トランジスタの拡散層に埋込金属層60を設け、拡散層の大部分の領域を埋込金属層で被覆した状態を示す。ゲート電極と活性領域とでトランジスタが構成されている。この埋込金属層60にはコンタクト孔を介してタングステン配線及びアルミニウム配線が接続されている。図16は、活性領域を分離する領域を示した平面図であり、活性領域間の離間距離は $0.50 \mu\text{m}$ 、タングステン配線と活性領域との離間距離は $0.32 \mu\text{m}$ に設定されている。

【0041】本実施形態では、埋込用溝を全部金属で埋めたが、露出した拡散層にチタンなどを堆積後反応させる方法などによりシリサイドを形成し、その後タングステンプラグで埋めるようにしても良い。本発明は、上記実施形態に限定されるものではない。例えば、DRAMを例にとりて説明したが、これに限らず、FRAM、SRAM等キャパシタを有する半導体装置全てに適用で



(7)

11

き、その他、本発明の要旨を逸脱しない範囲で種々変更することができる。

【0042】

【発明の効果】本発明の半導体装置は、高速でかつデータ保持特性が良好なメモリセルと回路を混載した半導体装置である。また、本発明の半導体装置の製造方法によれば、メモリセルのデータ保持特性を劣化させることなくメモリセル以外の回路を高速化し得た半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1実施形態における製造工程の一例を示す断面図である。

【図2】図1の続きの工程を示す断面図である。

【図3】図2の続きの工程を示す断面図である。

【図4】図3の続きの工程を示す断面図である。

【図5】図4の続きの工程を示す断面図である。

【図6】図5の続きの工程を示す断面図である。

【図7】(a)、(b)は、第2実施形態の製造工程を示す断面図である。

【図8】(a)、(b)は、図7の続きの工程を示す断面図である。

【図9】図8の続きの工程を示す断面図である。

【図10】図9の続きの工程を示す断面図である。

【図11】図10の続きの工程を示す断面図である。

12

【図12】図11の続きの工程を示す断面図である。

【図13】図12の続きの工程を示す断面図である。

【図14】第2実施形態におけるDRAM部の平面図である。

【図15】ロジック回路領域におけるトランジスタの平面図である。

【図16】ロジック回路領域における活性領域を分離する領域を示す平面図である。

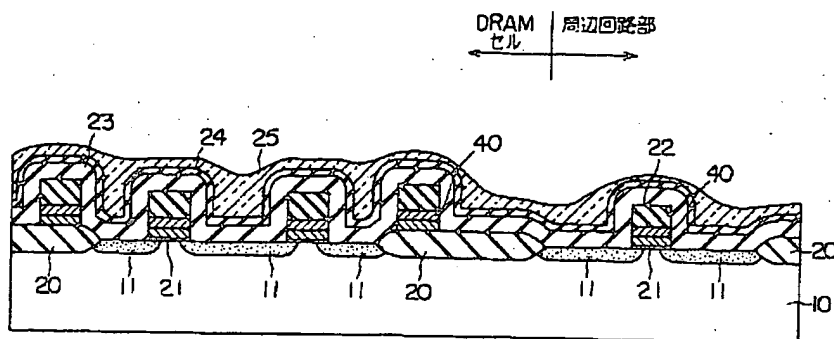
【図17】(a)、(b)は、従来のシリサイドを用いたキャパシタの製造工程を示す断面図である。

【図18】従来のDRAMを搭載したロジックデバイスの構造を示す断面図である。

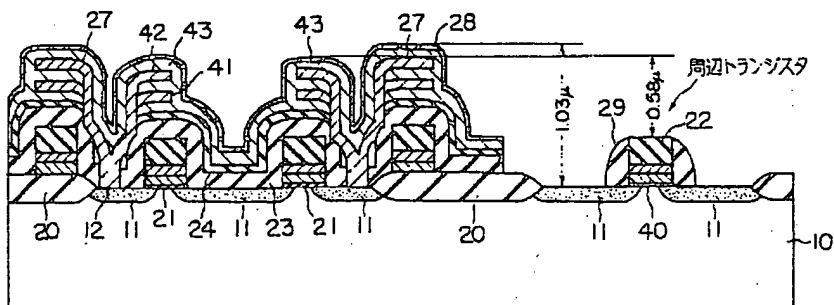
【符号の説明】

10：基板、11：LDD、13：ソース・ドレイン、14：シリサイド（被覆導電層）、20：LOCOS、21：ゲート酸化膜、23：酸化膜、24：窒化ケイ素膜、27：ONO膜、28：窒化ケイ素膜、40：ゲート電極、41、42：キャパシタの下部電極、43：キャパシタの上部電極（プレート電極）、53：ビット線、54：ポリシリコンプラグ、58：密着層、59：タングステンプラグ、60：埋込金属層（被覆導電層）NC：ノードコンタクト孔、NH：ノード用溝、BH：埋込用溝

【図1】

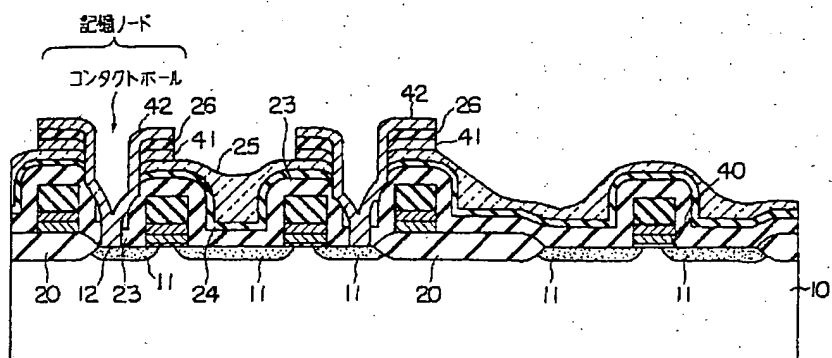


【図3】

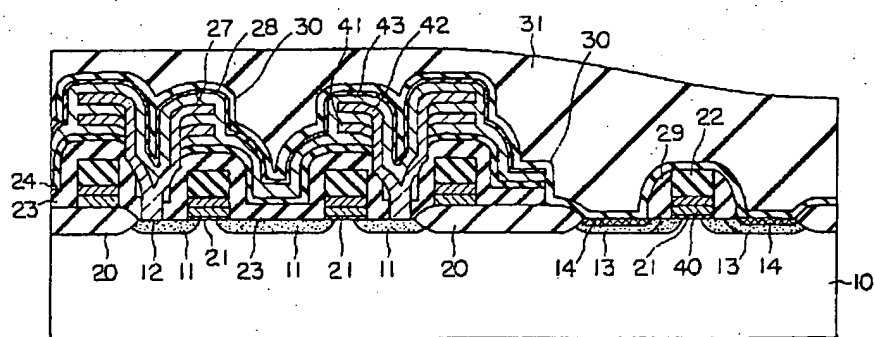


(8)

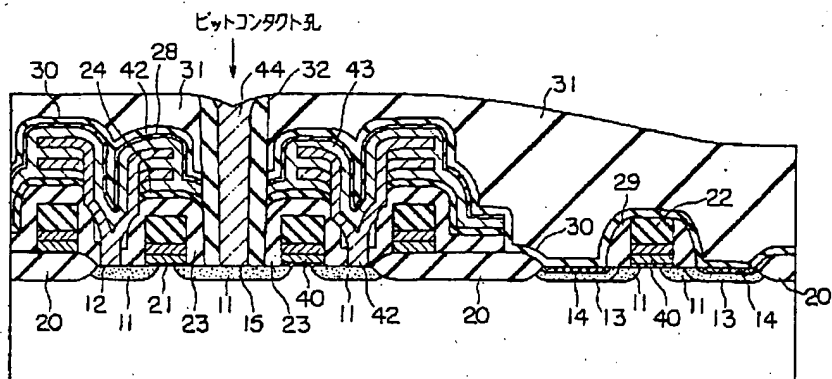
【図2】



【図4】

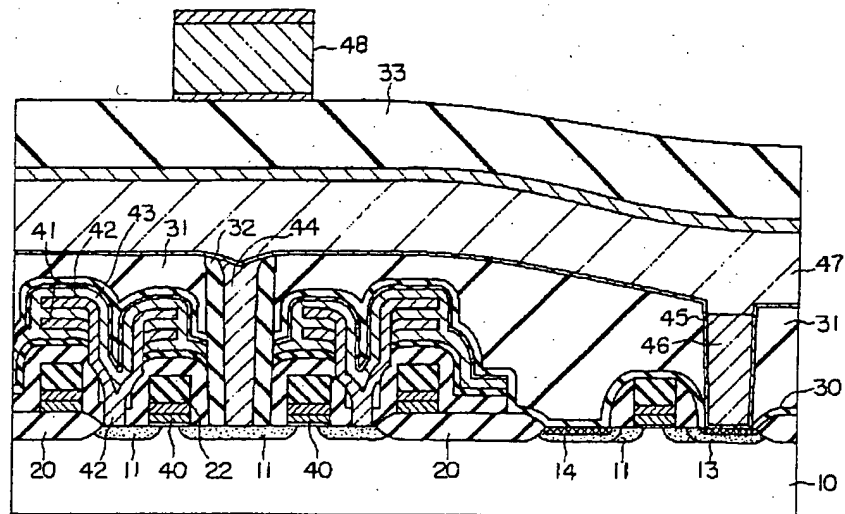


【図5】

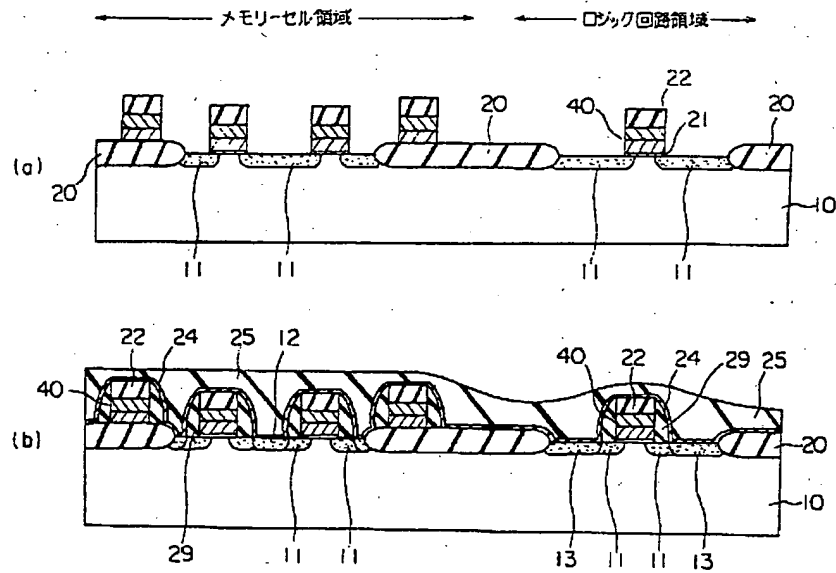


(9)

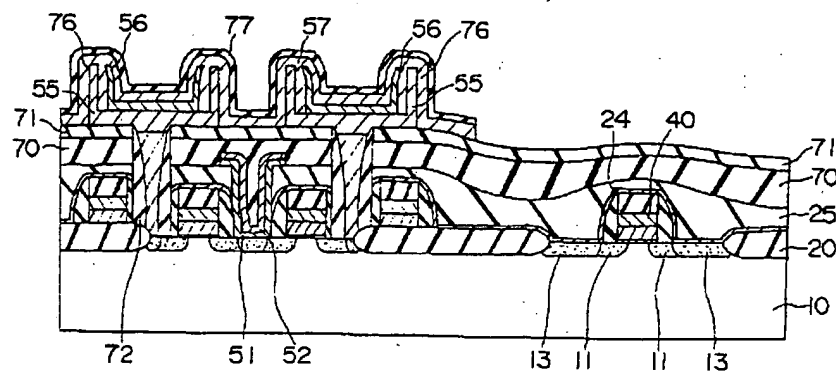
【図6】



【図7】

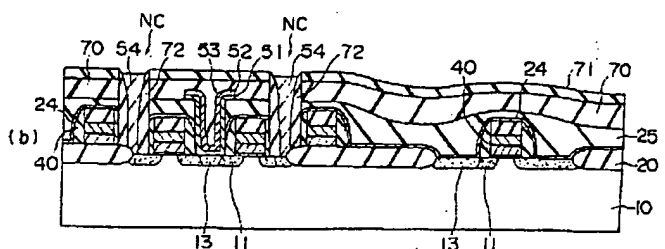
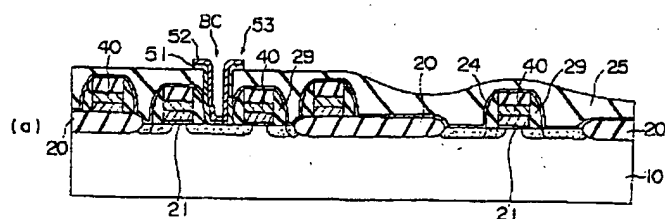


【図11】

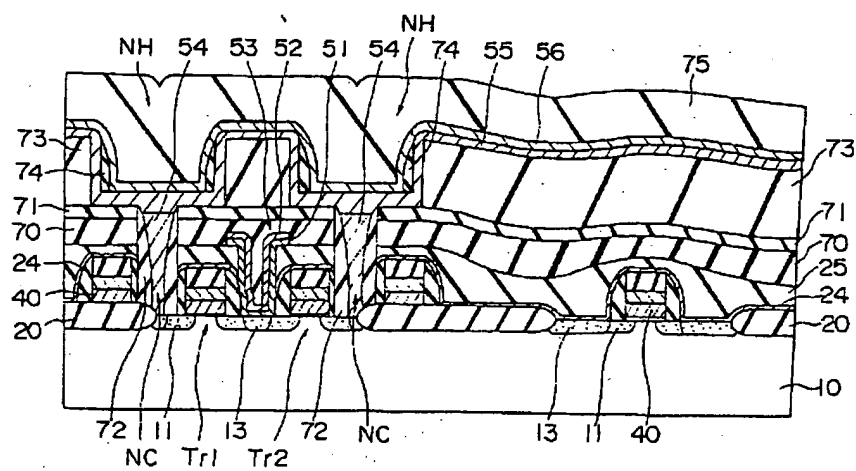


(10)

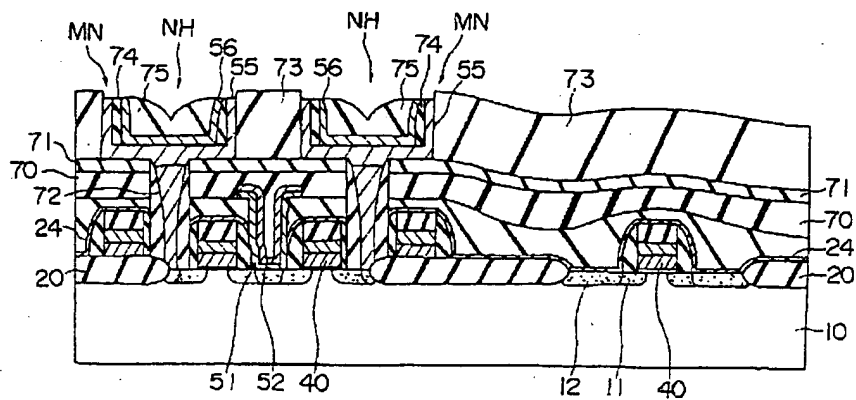
【图8】



【図9】

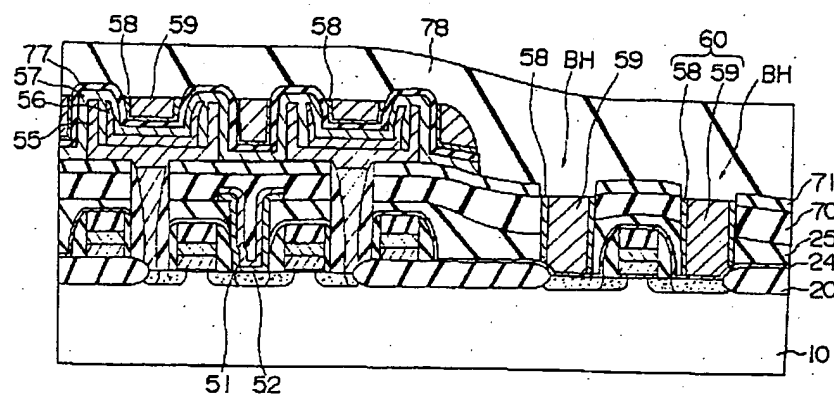


【圖 10】

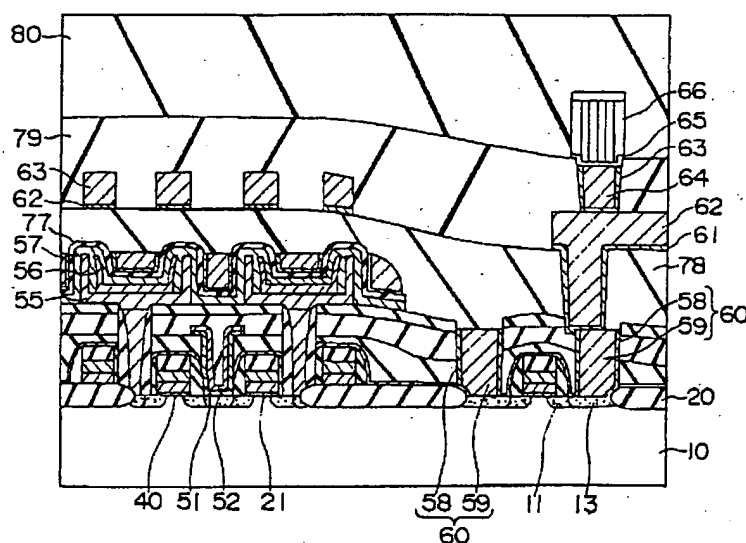


(11)

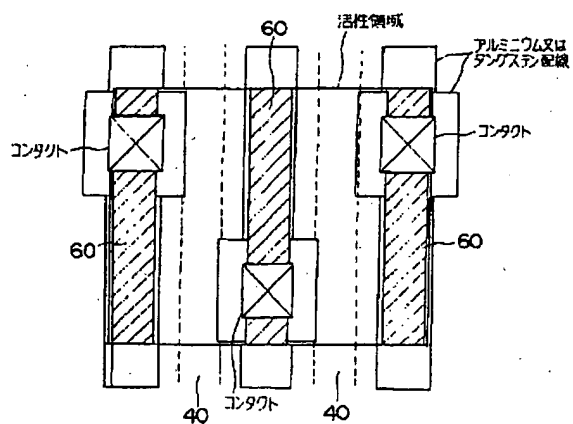
【图 12】



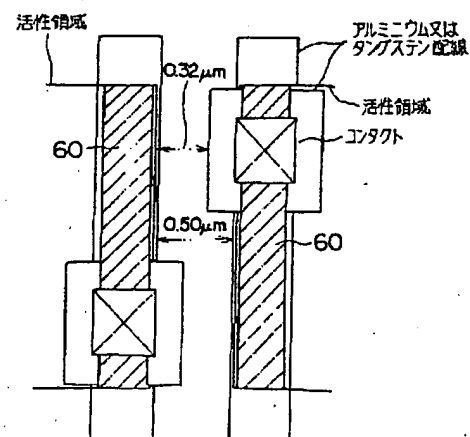
【図 13】



【図 1.5】

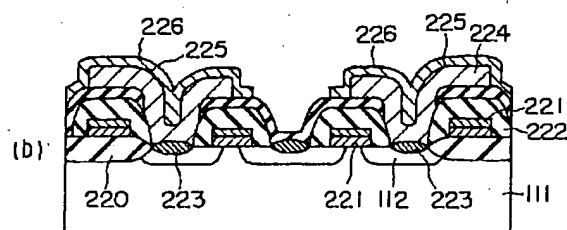
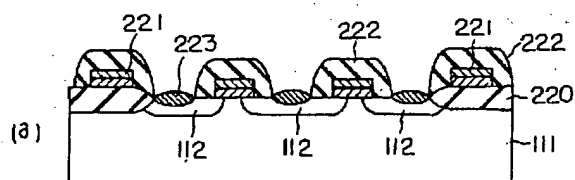


【图 16】



(12)

【図17】



【図18】

